

POWER SUPPLY VOLTAGE LIMITING CIRCUIT

Patent Number: JP2002015571
Publication date: 2002-01-18
Inventor(s): ITO YASUO
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP2002015571
Application Number: JP20000197352 20000629
Priority Number(s):
IPC Classification: G11C11/407; H01L27/04; H01L21/822
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce power consumption by greatly reducing current consumption in a standby mode and to reduce the required circuit area by not using resistor elements.

SOLUTION: A desired output voltage is divided by using plural capacitors. The divided voltage is compared with a reference voltage, and the difference is amplified by a differential amplifier and fed back to generate a stable output voltage. Since no voltage-dividing resistor circuit is used, no high resistor element is required as in conventional cases and a voltage limiting circuit is formed by using only CMOS elements, the production process is simplified. Moreover, two kinds of voltage-dividing elements for an operating mode and the standby mode are dispensed with, the circuit constitution is simplified. Since no high resistor element is required for standby mode, the circuit area is reduced, the through-current of the voltage-dividing circuit is eliminated and a circuit with low current consumption is realized.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-15571
(P2002-15571A)

(43) 公開日 平成14年1月18日 (2002.1.18)

| | | | |
|---------------------------|------|---------------|-------------------|
| (51) Int.Cl. ⁷ | 識別記号 | F I | ターミナル (参考) |
| G 1 1 C 11/407 | | G 1 1 C 11/34 | 3 5 4 F 5 B 0 2 4 |
| H 0 1 L 27/04 | | H 0 1 L 27/04 | B 5 F 0 3 8 |
| 21/822 | | | |

審査請求 未請求 請求項の数 9 O L (全 11 頁)

(21) 出願番号 特願2000-197352(P2000-197352)

(22) 出願日 平成12年6月29日 (2000.6.29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 伊藤 孝夫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

Fターム (参考) 5B024 AA01 AA07 BA27 CA07

5F038 AV06 AV13 BB05 BB08 BG02

BG03 BG05 DF05 DF07 DF08

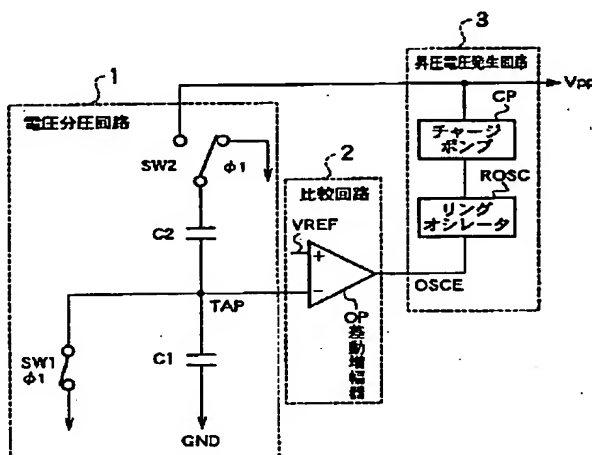
E220

(54) 【発明の名称】 電源電圧制限回路

(57) 【要約】

【課題】 待機時の消費電流を極めて僅かとして、省電力化を図ること及び抵抗素子を用いないようにして、回路面積を小さくすること。

【解決手段】 所望の出力電圧を複数のキャパシタを用いて分圧し、その分圧電圧と基準電圧を差動増幅器で比較増幅してフィードバック動作させることにより、安定した出力電圧を発生させる。分圧抵抗回路を用いないため、従来のような高抵抗素子を必要とせず、CMOS素子のみで電圧制限回路を形成することができ、製造工程が簡略化できる。また分圧素子を動作時と待機時と2種類用意する必要がなく、回路も簡単化できる。更に待機時の高抵抗素子が必要なく、回路面積を縮小でき、分圧回路の貫通電流もなくすることができるため、低消費電流の回路を実現することができる。



【特許請求の範囲】

【請求項1】 制限電圧を複数のキャパシタを用いて分圧する分圧部と、
前記分圧部の分圧電圧と基準電圧とを比較する比較部と、
前記比較部の比較結果により前記制限電圧を昇圧する昇圧部と、
を具備し、
前記分圧部と前記比較部と前記昇圧部を集積化したことを特徴とする電源電圧制限回路。
【請求項2】 2個のキャパシタを直列接続して一方の端部を接地電位に接続した分圧回路と、
前記分圧回路の midpoint 電位と基準電位とを比較する比較回路と、
前記比較回路の比較結果信号によりその動作が制御される昇圧回路と、
前記分圧回路の一方の端部を、前記昇圧回路の出力である制限電位か又は接地電位のいずれかに接続する第1のスイッチ回路と、
前記分圧回路の midpoint 電位を接地電位に対して接離する第2のスイッチ回路と、を具備し、
前記各回路を集積化したことを特徴とする電源電圧制限回路。
【請求項3】 前記第1のスイッチ回路を介して前記分圧回路の他方の端部を接地電位に接続し、前記第2のスイッチ回路を介して前記分圧回路の midpoint を接地電位に接続するリセットモードと、
前記第1のスイッチ回路を介して前記分圧回路の他方の端部を前記昇圧回路の出力である制限電位に接続し、前記第2のスイッチ回路を介して前記分圧回路の midpoint を接地電位から解放するモニターモードとを繰り返すことにより、
前記昇圧回路の出力である制限電位を目標電位とすることを特徴とする請求項2記載の電源電圧制限回路。
【請求項4】 2個の第1、第2のキャパシタを直列接続し、一方の端部を制限電位に接続し、他方の端部を接地電位に接続した分圧回路と、
前記分圧回路の midpoint 電位と基準電位とを比較する比較回路と、
前記比較回路の比較結果信号によりその動作が制御され、前記制限電位を出力する昇圧回路と、
前記分圧回路の midpoint と第4のスイッチ回路を介して接続された第3のキャパシタと、
前記制限電位より閾値電位分低い電位を発生する電位降下回路と、
前記第3のキャパシタの他端を前記電位降下回路により発生された電位か又は接地電位のいずれかに接続する第3のスイッチ回路と、
前記第3のキャパシタと前記第4のスイッチ回路の接続点を接地電位に対して接離する第2のスイッチ回路と、

前記電位降下回路の動作をオンオフする第1のスイッチ回路と、
を具備し、
前記各回路を集積化したことを特徴とする電源電圧制限回路。

【請求項5】 前記電位降下回路はダイオード結合したMOSTランジスタを2個直列に接続した回路で、その一端を前記制限電位に接続し、他端を前記第1のスイッチ回路により接地電位に対して接離し、前記制限電位より閾値電位分低い電位を前記2個のMOSTランジスタの接続点から取り出すことを特徴とする請求項4記載の電源電圧制限回路。

【請求項6】 前記電位降下回路はダイオード結合したMOSTランジスタと固定バイアスをゲートに印加したMOSTランジスタとを直列に接続した回路で、ダイオード結合したMOSTランジスタを前記制限電位に接続し、固定バイアスをゲートに印加したMOSTランジスタを前記第1のスイッチ回路により接地電位に対して接離し、前記制限電位より閾値電位分低い電位を前記2個のMOSTランジスタの接続点から取り出すことを特徴とする請求項4記載の電源電圧制限回路。

【請求項7】 前記電位降下回路はダイオード結合したMOSTランジスタとゲートに高抵抗とを直列に接続した回路で、ダイオード結合したMOSTランジスタを前記制限電位に接続し、高抵抗を前記第1のスイッチ回路により接地電位に対して接離し、前記制限電位より閾値電位分低い電位を前記MOSTランジスタと高抵抗の接続点から取り出すことを特徴とする請求項4記載の電源電圧制限回路。

【請求項8】 前記第3のスイッチ回路を介して前記第3のキャパシタの一端を接地電位に接続し、前記第4のスイッチ回路を介して前記分圧回路の midpoint を前記第3のキャパシタの他端に接続し、前記第2のスイッチ回路を介して前記第3のキャパシタと前記第4のスイッチ回路の接続点を接地電位に接続するリセットモードと、
前記第3のスイッチ回路を介して前記第3のキャパシタの一端を前記電位発生回路の発生電位に接続し、前記第4のスイッチ回路を介して前記分圧回路の midpoint を前記第3のキャパシタの他端に接続し、前記第2のスイッチ回路によって前記第3のキャパシタと第4のスイッチ回路の接続点を接地電位から解放し、前記第1のスイッチ回路の他端を接地して前記電位発生回路を動作させる電荷再分配モードと、

前記第2、第3のスイッチ回路を介して前記第3のキャパシタの両端を接地電位に接続し、前記第4のスイッチ回路により前記分圧回路の midpoint と前記第3のキャパシタの他端を解放するモニターモードとを繰り返すことにより、
前記昇圧回路の出力電位を目標電位とすることを特徴とする請求項4乃至7いずれかに記載の電源電圧制限回路

路。

【請求項9】 前記比較回路は、半導体集積回路の動作時と待機時でそれぞれ消費電力が異なる2種類の差動増幅回路を有することを特徴とする請求項1乃至8いずれかに記載の電源電圧制限回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、携帯機器用の半導体メモリ等に使用されて各種の電圧を発生してメモリの各部に供給する半導体集積回路内の電源電圧制限回路に関する。

【0002】

【従来の技術】 半導体集積回路、なかでもDRAM、フラッシュメモリ、Ferroelectric RAM（強誘電体メモリ）等の半導体メモリでは、デバイスの要求から内部電源電圧として、外部電源電圧とは異なる電圧が必要となってくる。例えばDRAMでは、ワード線には昇圧回路が必要で、周辺回路の内部電源電圧、プレート線電圧、ビット線電圧、ダミーセルの参照電圧などには内部降圧電圧が必要となる。

【0003】 図14はDRAMの従来構成例である。DRAMは、セルアレイ121とセンスアンプ122を有し、カラムセレクトライン(CSL)でオンオフされるセレクトトランジスタ127、128を有している。外部電圧VDDは例えば3.3Vである。

【0004】 セルアレイ121は選択トランジスタ123とメモリ用のキャパシタ124及びダミーセル用キャパシタ125と選択トランジスタ126を有している。選択トランジスタ123のゲートはワード線(WL)であり、VPP（例えば4V）の電圧を与える。ダミーセル用キャパシタ125を制御するには $(1/2) \cdot V_{INT1}$ （例えば1.0V）の内部降圧電圧VPLを選択トランジスタ126のゲートに与える。セルプレート(VPL)には内部降圧電圧VINT2（例えば2.5V）を与える。センスアンプ122は2つの制御信号SAPとSANで制御され、SAPは内部降圧電圧VINT2を使う。

【0005】 尚、ここには図示しないが、チップ内部の周辺回路の内部電源電圧はVINT1（例えば2.0V）を使う。

【0006】 図15は、従来例の電源電圧制限回路の降圧回路の構成例を示している。131は高抵抗からなる分圧抵抗回路で、RS1とRS2の中間電位(TS)と基準電位(VREF)とをオペアンプ(OPS)で比較増幅し、PチャンネルMOSTランジスタ133でフィードバックして降圧電圧VINTを発生させる回路である。

【0007】 132は、低抵抗の分圧抵抗回路(RA1とRA2)の中間電位(TA)と基準電位(VREF)とをオペアンプ(OPA)で比較増幅し、Pチャンネル

MOSTランジスタ134でフィードバックして降圧電圧VINTを発生させる回路である。CLは、負荷キャパシタである。この回路で分圧抵抗回路の比 $RS2/RS1=RA2/RA1$ とほぼ同じにし、待機時と動作時とも同じVINTにする。抵抗の絶対値は、 $RS2>RA2$ 、 $RS1>RA1$ となるようにする。

【0008】 この理由は、動作時、このRA1とRA2の分圧抵抗を流れる電流は、比較的電流量を大きくとれること、動作時の電源の揺れに追従させるために抵抗の値を比較的小さめにする事が要求されるからである。

【0009】 動作時は、SW1とSW2とも“H”となる。この時、待機時用の分圧抵抗回路(フィードバック回路)131と動作時用の分圧抵抗回路(フィードバック回路)132を動作させる。

【0010】 待機時は、SW1が“L”、SW2が“H”となる。この時、待機時用のフィードバック回路131のみを動作させる。待機時のVINTは、 $V_{INT} = [1 + (RS2/RS1)] \cdot V_{REF}$ で与えられる。

【0011】 一方、動作時のVINTは、 $V_{INT} = [1 + (RS2/RS1)] \cdot V_{REF}$ で与えられる。

【0012】 動作時と待機時のモードの切り替えは、チップの制御信号により切り替える。/CE（チップイネーブル・バー）信号が“L”ならば、動作状態となり、読み出しと書き込み動作がなされる。一方、/CE信号が“H”ならば、待機状態となる。

【0013】 動作時は、スイッチSW1とSW2とも“H”となる。この時、待機時用の分圧抵抗回路(フィードバック回路)131と動作時用の分圧抵抗回路(フィードバック回路)132を動作させる。待機時は、SW1が“L”、SW2が“H”となる。この時、待機時用の分圧抵抗回路131を動作させる。

【0014】 図16は、ワード線電圧VPPを供給する従来の昇圧回路を示している。141の回路は、待機時電圧制限回路であり、高抵抗からなる分圧抵抗回路(RS1とRS2)の中間電位(TS)と基準電位(VREF)とをオペアンプ(OPS)で比較増幅し、所望の昇圧電位よりも低くなればオシレータ活性化信号OSCSが“H”となり、リングオシレータROSCが発振し、チャージポンプCPが動作して昇圧電圧VPPが発生する。

【0015】 142の回路は、動作時電圧制限回路であり、低抵抗からなる分圧抵抗回路(RA1とRA2)の中間電位(TA)と基準電位(VREF)とをオペアンプ(OPA)で比較増幅し、所望の昇圧電位よりも低くなれば、オシレータ活性化信号OSCAが“H”となり、リングオシレータROSCが発振してチャージポンプCPが動作し、昇圧電位VPPが発生する。CLは、負荷キャパシタである。

【0016】 この回路で分圧抵抗回路の比 $RS2/RS$

1は $RA2/RA1$ とほぼ同じで、待機時と動作時とも同じVPPにする。抵抗の絶対値は、 $RS2 > RA2$ 、 $RS1 > RA1$ となるようにする。この理由は、動作時、この $RA1$ と $RA2$ の分圧抵抗を流れる電流は、比較的電流量を大きくとれること、動作時の電源の揺れに追従させるために抵抗の値を比較的小さめにすることが要求されるからである。動作時は、 $SW1$ と $SW2$ とも“H”となる。この時、待機時用の電圧制限回路（フィードバック回路）141と動作時用の電圧制限回路（フィードバック回路）142を動作させる。待機時は、 $SW1$ が“L”、 $SW2$ が“H”となる。この時、待機時用のフィードバック回路141を動作させる。待機時のVPPは、 $VPP = [1 + (R2S/R1S)] \cdot VREF$ で与えられる。

【0017】一方、動作時のVINTは、 $VPP = [1 + (R2A/R1A)] \cdot VREF$ で与えられる。例えば、 $R2S = 2.75M\Omega$ 、 $R1S = 1.25M\Omega$ 、 $VREF = 1.25V$ （基準電位発生回路ではよく知られたバンドギャップレファレンス回路の出力電位）とすると、 $VPP = 4V$ が得られる。

【0018】例えば、 $R2A = 2.75k\Omega$ 、 $R1A = 1.25k\Omega$ 、 $VREF = 1.25V$ とすると、 $VPP = 4V$ が得られる。

【0019】動作時と待機時のモードの切り替えは、チップの制御信号により切り替える。/CE（チップイネーブル・バー）信号が“L”ならば、動作状態となり、読み出しと書き込みの動作がなされる。一方、/CE信号が“H”ならば、待機状態となる。

【0020】以上、メモリの動作モードには、待機時と動作時の2つの動作モードがあり、待機時は/CE（チップ・イネーブル信号）が“H”の状態ではチップが選択されていない時の状態、動作時は/CEが“L”の時、チップが選択されている状態である。

【0021】もし待機時に昇圧回路や降圧回路などの内部の電源電圧発生回路の動作が停止でき、内部電圧を接地電位（0V）にすることができれば、電源電圧発生回路で消費される電流をゼロにでき、理想的な動作が得られる。しかしながら、待機時にすべての内部電源電圧をゼロにすると、待機モードから動作モードに移行する際、0Vから所望の内部電圧に上げるのに大きな電源線容量や配線抵抗に起因する大きなRC遅延などにより、立ち上げに時間がかかり、読み出しや書き込みのアクセス時間仕様内のアクセスが困難となる。このため、低消費電流の待機モード用分圧回路、必要な消費電流を流して追従性を良くした動作モード用の分圧回路をそれぞれ2種類設けている。

【0022】

【発明が解決しようとする課題】待機時、内部電圧の検知はオペアンプと高抵抗分圧回路を組み合わせで行うが、オペアンプも抵抗分圧回路も低消費電流にするた

め、オペアンプに流れる電流を絞ったり、高抵抗の分圧回路を使うが、それでも僅かなDC消費電流が流れる。さらに所望の電圧よりも降下した場合、電源電圧発生回路を動作させ、所望の電圧に充電することが必要となり、この場合、回路が動作するためにAC消費電流が発生する。結局、上記したDC消費電流とAC消費電流が重なり、待機時の消費電流をゼロ近く抑えることが困難となっている。

【0023】また、従来から分圧回路は抵抗素子を用いているが、抵抗素子としてはポリシリコン拡散層が使用される。待機時動作を考えると抵抗はメガ（M）オーム程度の高抵抗が必要となり、したがって抵抗のパターンの長さも非常に長くなり、周辺回路の中で抵抗の占める面積が大きくなるという問題点があった。さらに高抵抗素子を作るためには、通常のCMOSプロセス以外に別の工程が必要となり、工程が増える問題もあった。特性面では、抵抗素子は不純物濃度により一般的に温度依存性があり、このため温度により、分圧抵抗を流れる消費電流が変化するという問題もあった。以上のようなことから、抵抗素子を使わない内部の電源電圧制限回路の実現が望まれている。

【0024】本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、待機時の消費電流を極めて僅かとして省電力とすることができ、且つ、抵抗素子を用いないようにして、回路面積を小さくすることができる電源電圧制限回路を提供することである。

【0025】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明の特徴は、制限電圧を複数のキャパシタを用いて分圧する分圧部と、前記分圧部の分圧電圧と基準電圧とを比較する比較部と、前記比較部の比較結果により前記制限電圧を昇圧する昇圧部と、を具備し、前記分圧部と前記比較部と前記昇圧部を集積化したことにある。

【0026】請求項2の発明の特徴は、2個のキャパシタを直列接続して一方の端部を接地電位に接続した分圧回路と、前記分圧回路の中間電位と基準電位とを比較する比較回路と、前記比較回路の比較結果信号によりその動作が制御される昇圧回路と、前記分圧回路の一方の端部を、前記昇圧回路の出力である制限電位か又は接地電位のいずれかに接続する第1のスイッチ回路と、前記分圧回路の中間電位を接地電位に対して接離する第2のスイッチ回路と、を具備し、前記各回路を集積化したことにある。

【0027】請求項3の発明の特徴は、前記第1のスイッチ回路を介して前記分圧回路の他方の端部を接地電位に接続し、前記第2のスイッチ回路を介して前記分圧回路の中間点を接地電位に接続するリセットモードと、前記第1のスイッチ回路を介して前記分圧回路の他方の端部を前記昇圧回路の出力である制限電位に接続し、前記第

2のスイッチ回路を介して前記分圧回路の midpoint を接地電位から解放するモニターモードとを繰り返すことにより、前記昇圧回路の出力である制限電位を目標電位とすることにある。

【0028】請求項4の発明の特徴は、2個の第1、第2のキャパシタを直列接続し、一方の端部を制限電位に接続し、他方の端部を接地電位に接続した分圧回路と、前記分圧回路の midpoint 電位と基準電位とを比較する比較回路と、前記比較回路の比較結果信号によりその動作が制御され、前記制限電位を出力する昇圧回路と、前記分圧回路の midpoint と第4のスイッチ回路を介して接続された第3のキャパシタと、前記制限電位より閾値電位分低い電位を発生する電位降下回路と、前記第3のキャパシタの他端を前記電位降下回路により発生された電位か又は接地電位のいずれかに接続する第3のスイッチ回路と、前記第3のキャパシタと前記第4のスイッチ回路の接続点を接地電位に対して接離する第2のスイッチ回路と、前記電位降下回路の動作をオンオフする第1のスイッチ回路と、を具備し、前記各回路を集積化したことにある。

【0029】請求項5の発明の前記電位降下回路はダイオード結合したMOSTランジスタを2個直列に接続した回路で、その一端を前記制限電位に接続し、他端を前記第1のスイッチ回路により接地電位に対して接離し、前記制限電位より閾値電位分低い電位を前記2個のMOSTランジスタの接続点から取り出すことを特徴とする。

【0030】請求項6の発明の前記電位降下回路はダイオード結合したMOSTランジスタと固定バイアスをゲートに印加したMOSTランジスタとを直列に接続した回路で、ダイオード結合したMOSTランジスタを前記制限電位に接続し、固定バイアスをゲートに印加したMOSTランジスタを前記第1のスイッチ回路により接地電位に対して接離し、前記制限電位より閾値電位分低い電位を前記2個のMOSTランジスタの接続点から取り出すことを特徴とする。

【0031】請求項7の発明の前記電位降下回路はダイオード結合したMOSTランジスタとゲートに高抵抗とを直列に接続した回路で、ダイオード結合したMOSTランジスタを前記制限電位に接続し、高抵抗を前記第1のスイッチ回路により接地電位に対して接離し、前記制限電位より閾値電位分低い電位を前記MOSTランジスタと高抵抗の接続点から取り出すことを特徴とする。

【0032】請求項8の発明の特徴は、前記第3のスイッチ回路を介して前記第3のキャパシタの一端を接地電位に接続し、前記第4のスイッチ回路を介して前記分圧回路の midpoint を前記第3のキャパシタの他端に接続し、前記第2のスイッチ回路を介して前記第3のキャパシタと前記第4のスイッチ回路の接続点を接地電位に接続するリセットモードと、前記第3のスイッチ回路を介して前記第3のキャパシタの一端を前記電位発生回路の発生電

位に接続し、前記第4のスイッチ回路を介して前記分圧回路の midpoint を前記第3のキャパシタの他端に接続し、前記第2のスイッチ回路によって前記第3のキャパシタと第4のスイッチ回路の接続点を接地電位から解放し、前記第1のスイッチ回路の他端を接地して前記電位発生回路を動作させる電荷再分配モードと、前記第2、第3のスイッチ回路を介して前記第3のキャパシタの両端を接地電位に接続し、前記第4のスイッチ回路により前記分圧回路の midpoint と前記第3のキャパシタの他端を解放するモニターモードとを繰り返すことにより、前記昇圧回路の出力電位を目標電位とすることにある。

【0033】請求項9の発明の前記比較回路は、半導体集積回路の動作時と待機時でそれぞれ消費電力が異なる2種類の差動増幅回路を有することを特徴とする。

【0034】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図1及び図2は、本発明の電源電圧制限回路の第1の実施形態に係わる昇圧回路の構成を示した回路図である。本例の昇圧回路は、電圧分圧回路1、比較回路2及び昇圧電圧発生回路3から成っている。電圧分圧回路1はコンデンサC1、C2とスイッチSW1、SW2から成っている。比較回路2は差動増幅器OPから成っている。昇圧電圧発生回路(昇圧部、昇圧回路)3は、リングオシレータROSCとチャージポンプCPから成っている。図1がリセットモード時の回路構成を、図2がモニターモード時の回路構成を示している。

【0035】次に本実施形態の動作について説明する。図1は電源電圧制限回路を昇圧回路に実施した場合の構成を示している。この例では、昇圧電圧VPPと接地電位GNDの間には2個の分圧キャパシタC1とC2が直列接続されている。C1とC2の間の分圧ノード(TAP)と基準電位VREF(例えばよく知られている温度依存性がゼロのバンドギャップ・レファレンス回路)を差動増幅器OPで比較し、分圧電圧が基準電位より低くなると、差動増幅器OPの出力がハイレベルになって、リングオシレータROSCを発振させてチャージポンプCPを動作させることによりVPPを上昇させる。VPPはこのようなフィードバック動作により安定する。

【0036】ここで、VPPと分圧電圧TAP間にはスイッチSW2とキャパシタC2が直列に接続される。一方、中点TAPと接地電圧の間にはスイッチSW1とキャパシタC2が並列接続される。差動増幅器OPの出力OSCEが“H”になれば、リングオシレータROSCが動作し、チャージポンプCPが働いて、VPPが昇圧される。

【0037】(1) スイッチSW1をオン($\phi 1 = \text{“H”}$)、スイッチSW2を右側($\phi 1 = \text{“H”}$)に倒して接地電圧(0V)に接続させる。この状態ではTAPの電位は0V、C1の両端とも0V、C2の両端とも

0Vとなり、全てのキャパシタの両端が0Vにショートされる。この時、TAPノードの電荷Qはゼロとなる。この状態をリセットモードと呼ぶ。

【0038】 $Q=0 \cdots (1)$
となる(図1参照)。

$$Q=C1 \cdot V_{tap}+C2 \cdot (V_{tap}-VPP) \cdots (2)$$

となる(図2参照)。

【0040】この状態をモニターモードと呼ぶ。

【0041】上記(1)式と(2)式で、電荷Qは保存されるので、 $0=C1 \cdot V_{tap}+C2 \cdot (V_{x}-VPP)$ となる。これをVPPで解くと、 $VPP=[1+(C1/C2)] \cdot V_{tap}$ となる。

【0042】 V_{tap} は差動増幅器OPによるフィードバック動作により、 $V_{tap}=VREF$ となるため、 $VPP=[1+(C1/C2)] \cdot VREF$ となる。例えば、 $C1=2.75pF$ 、 $C2=1.25pF$ 、 $VREF=1.25V$ とすると、 $VPP=4.0V$ となる。

【0043】図3は、図1及び図2のリセットモードとモニターモードの昇圧回路の制御信号及び出力波形を示している。スイッチSW1、SW2を制御する信号 $\phi 1$ は、差動増幅器OPの出力信号OSCE(図1及び図2に図示)から容易に作る事ができる。即ち、OSCEからパルス幅 τd のパルスを作り、これを制御信号 $\phi 1$ とする。

【0044】 $\phi 1="L"$ の時、モニターモードとなる。この時TAPは浮遊状態となり、VPPと接地電圧の間には分圧キャパシタC1とC2が直列に入り、TAPとVREFを差動増幅器OPで比較してVPPをモニターする。VPPが所望の電位よりも下がるとOSCEが"H"となり、リングオシレータROSCとチャージポンプCPが動作する。このモードの特徴として、VPPから接地電位GNDへは、直流電流は流れない。

【0045】 $\phi 1="H"$ の時、リセットモードとなる。この時、TAPは全てリセットされ0Vとなる。この時、 $VREF>TAP=0V$ であるため、差動増幅器OPの出力OSCEは"H"となり、リングオシレータROSCとチャージポンプCPが動作する。

【0046】OSCEのパルス幅よりも $\phi 1$ のパルス幅が小さくなるように設定しておけば、VPPが最大値に達する前にモニターモードに戻り、VPPの最大値を検知してOSCEが"L"に戻る。

【0047】以後、VPPの電源線の行き先にリークや電流消費源があると、上記モニターモードとリセットモードを繰り返すことによって、常に安定したVPPを供給する電源電圧制限回路が実現できる。また、モニターモードの期間はTAPが浮遊状態となるが、この時、TAPのノード内でPN接合などの僅かなリーク電流で電位が変化しても、上記リセットモードとモニターモードの動作が自動的に繰り返されて、常にリフレッシュされ

【0039】(2)スイッチSW1をオフ($\phi 1="L"$)、スイッチSW2を左側($\phi 1="L"$)に倒してVPPに接続させる。この状態のTAPの電位を V_{tap} とすると、次の電荷再配分の式からTAPノードの電荷量Qは、

るため、安定な出力電位VPPが得られる。

【0048】本実施形態によれば、分圧抵抗回路を用いないため、従来のような高抵抗素子を必要とせず、CMOS素子のみで電圧制限回路を形成することができ、製造工程が簡略化できる。また分圧素子を動作時用と待機時用と2種類用意する必要がなく、回路も簡単化できる。更に待機時の高抵抗素子が必要なく、回路面積を縮小でき、分圧回路の貫通電流もなくなることができるため、低消費電流の回路を実現することができる。

【0049】図4及び図5は本発明の電源電圧制限回路の第2の実施形態に係わる昇圧回路の構成を示した回路図である。本例の構成は図1に示した第1の構成と同様であるが、異なる点は、差動増幅器OPをそれぞれ動作時用の差動増幅器OPAと待機時用の差動増幅器OPSに別けた構成にある。図4がリセットモード時の回路構成を、図5がモニターモード時の回路構成を示している。

【0050】動作時には、差動増幅器OPSの出力がハイレベルになって、差動増幅器OPAを動作させ、必要な動作電流を流して追従性を良くしている。待機時には、差動増幅器OPSのみが動作し、その出力がローレベルで、差動増幅器OPAは動作を停止しているため、動作電流を少なくして、消費電流を抑えるようにしている。

【0051】図6は動作時用の差動増幅器OPAの回路例で、回路は典型的なカレントミラー型回路で構成されている。図7は待機時用の差動増幅器OPSの回路例で、回路は典型的なカレントミラー型回路で構成されているが、電流量を絞るためBIAS信号として、例えば閾値電圧に近い電圧を印加したNチャンネルMOSトランジスタ10を挿入し、カレントミラーに流れる電流を抑えている。

【0052】図8乃至図10は本発明の電源電圧制限回路の第3の実施形態に係わる昇圧回路の構成を示した回路図である。本例の基本的な構成は、図1に示した第1の実施形態と同様であるが、異なる点は、電圧分圧回路1にあり、キャパシタC1、C2の他に、スイッチSW4を介してキャパシタC3を有している。また、このキャパシタC3にVPPの閾値落ち電圧を印加するための、ダイオード結合のNチャンネルMOSトランジスタ81、82の直列回路から成る電位降下回路4が設けられている。

【0053】VPPと接地電位との間に2個の直列キャパシタC1、C2を挿入し、その中間ノードをTAPと

名づける。VPPの電位からは、ダイオード接続されたNチャネルMOSトランジスタ81の閾値落ちの電位がノードN1に与えられ、またノードN1と接地電位との間にはダイオード接続されたNチャネルMOSトランジスタ82とスイッチSW1が直列接続して接地電位GNDに接続されている。ダイオード結合されたトランジスタ82は定電流回路として働き、トランジスタ81に定

$$Q = C1 \cdot 0 + C2 \cdot (0 - VPP) + C3 \cdot 0 = -C2 \cdot VPP \dots (3)$$

となる。

【0055】次に図9を用いて(2)電荷再分配モードについて説明する。スイッチSW1、SW4をオン、ス

$$Q = C1 \cdot (V_{tap} - 0) + C2 \cdot (V_{tap} - VPP) + C3 \cdot [V_{tap} - (VPP - V_{th})] = (C1 + C2 + C3) \cdot V_{tap} - (C2 + C3) \cdot VPP + C3 \cdot V_{th} \dots (4)$$

で与えられる。

$$VPP = [1 + \{(C1 + C3) / C1\}] \cdot V_{tap} + V_{th} \dots (5)$$

差動増幅器OPとフィードバックの動作よりVtapはVREFと同電位となる。

$$VPP = [1 + \{(C1 + C3) / C1\}] \cdot VREF + V_{th} \dots (6)$$

これにより、C1、C2、C3とVREF及びVthで制限電圧VPPが決まる。

【0058】この回路により、ワード線電圧VPPが発生することができる。

【0059】この第3の実施形態によれば、トランジスタによる閾値(Vth)落ちの効果も考慮できるため、Vthの製造時のバラツキを補正する形でVPPを供給することができる。

【0060】最後に図10で、(3)モニターモードについて説明する。このモードではスイッチSW1をオフ、SW2をオン、SW3を右側に倒して接地電位GNDを与える。この状態では、TAPは他のノードから切り離された浮遊状態となり、VPPと接地電位GNDを2個のキャパシタC1とC2で分圧する。

【0061】TAPの電荷をほぼ0とすると、TAPの電荷は

$$0 = C1 \cdot V_{tap} + C2 \cdot (V_{tap} - VPP) \text{ となり、} VPP = [1 + (C1 / C2)] \cdot V_{tap} \text{ となる。}$$

【0062】Vtap=VREFとなるため、VPP=[1+(C1/C2)]・VREFとなる。

【0063】このモードの時、実際のVPPの上昇や降下をモニターする。

【0064】図11は、図8から図10の昇圧回路の制御信号及び出力波形を示している。SW1、SW2、SW3のスイッチを制御する信号φ1とφ2は、差動増幅器OPの出力信号OSCE(図1及び図2に図示)から容易に作ることができる。φ1はOSCEと同じ信号である。OSCEから遅延させた遅延パルスを作り、これを制御信号φ2とする。

【0065】φ1="L"で、且つ、φ2="H"の

電流を流す役目を果たす。

【0054】次に本実施形態の動作について説明する。まず、図8を用いて(1)リセットモードについて説明をする。スイッチSW1をオン、SW2をオン、SW4をオン、SW3を右側に倒して接地電位に接続させる。この時、TAPは接地電位(0V)となる。TAPの電荷Qは、

スイッチSW2をオフ、スイッチSW3を左側に倒してノードN1に接続させる。この時、TAPの電位Vtap及びTAPの電荷Qは、

【0056】(3)式と(4)式より、

【0057】

時、モニターモードとなる。この時、TAPは浮遊状態となり、VPPと接地電位GNDの間には分圧キャパシタC1とC2が直列に入り、TAPとVREFを差動増幅器OPで比較してVPPをモニターする。VPPが所望の電位よりも下がるとOSCEが"H"となり、リングオシレータROSCとチャージポンプCPが動作する。このモードの特徴として、VPPから接地電位には、直流電流は流れない。

【0066】φ1="H"で且つφ2="H"の時、リセットモードとなる。この時、TAPは全てリセットされ0Vとなる。

【0067】φ1="H"で且つφ2="L"の時、電荷再分配モードとなる。

【0068】以後、VPPの電源線の行き先にリークや電流消費源があると、上記モニターモード、リセットモード、電荷再分配モードを繰り返す、常に安定したVPPを供給する電源電圧制限回路が実現される。

【0069】また、モニターモードの期間はTAPが浮遊状態となるが、この時、TAPのノード内でのPN接合などの僅かなリーク電流で電位が変化しても、上記(1)～(3)の動作が自動的に繰り返されて常にリフレッシュされるため、安定な出力電位VPPが得られる。

【0070】図12は上記した図8乃至図10で示した電位降下回路4の他の実施例を示した回路図である。本例はダイオード結合したMOSTランジスタ81に固定のVBIASをゲートに印加したMOSTランジスタ82aを直列接続し、このMOSTランジスタ82aを定電流源としている。このような構成でも、上記した電位降下回路4と同様の動作を行うことが出来る。

【0071】図13は上記した図8乃至図10で示した

電位降下回路4の他の実施例を示した回路図である。本例はダイオード結合したMOSトランジスタ81に高抵抗82bを直列接続し、この高抵抗82bを定電流源としている。このような構成でも、上記した電位降下回路4と同様の動作を行うことができる。

【0072】尚、本第3の実施形態でも、その差動増幅器OPとして、第2の実施形態で述べたような待機時用差動増幅器OPSと動作時用差動増幅器OPAを設けて、より省電力とすることもできる。

【0073】また、上記第1乃至第3の実施形態では本発明を昇圧回路に適用した例について説明したが、降圧回路についても、同様な構成にて、省電力化を図ることができる。

【0074】尚、本発明は上記実施形態に限定されることがなく、その要旨を逸脱しない範囲において、具体的な構成、機能、作用、効果において、他の種々の形態によっても実施することができる。

【0075】

【発明の効果】以上詳細に説明したように、本発明の電源電圧制限回路によれば、キャパシタによって電圧分圧回路を構成することによって、抵抗素子を使わずに半導体集積回路内の電圧制限回路を実現することができ、従来の電圧制限回路に比べ、待機時に分圧回路の消費電流がほとんどゼロであり低消費電流であること、周辺回路の面積が低減できること、特別な高抵抗の製造工程が必要ないため、集積回路化し易い等の効果がある。消費電流が低減できるため、電池駆動でより低消費電力動作が要求される携帯機器用の半導体集積回路を提供することができる。

【図面の簡単な説明】

【図1】本発明の電源電圧制限回路の第1の実施形態に係わる昇圧回路（リセットモード）の構成を示した回路図である。

【図2】本発明の電源電圧制限回路の第1の実施形態に係わる昇圧回路（モニターモード）の構成を示した回路図である。

【図3】図1及び図2に示したリセットモードとモニターモードの昇圧回路の制御信号及び出力波形例を示したタイムチャートである。

【図4】本発明の電源電圧制限回路の第2の実施形態に係わる昇圧回路（リセットモード）の構成を示した回路

図である。

【図5】本発明の電源電圧制限回路の第2の実施形態に係わる昇圧回路（モニターモード）の構成を示した回路図である。

【図6】図4及び図5に示した動作時用の差動増幅器OPAの詳細を示した回路図である。

【図7】図4及び図5に示した待機時用の差動増幅器OPSの詳細を示した回路図である。

【図8】本発明の電源電圧制限回路の第3の実施形態に係わる昇圧回路（リセットモード）の構成を示した回路図である。

【図9】本発明の電源電圧制限回路の第3の実施形態に係わる昇圧回路（電荷再分配モード）の構成を示した回路図である。

【図10】本発明の電源電圧制限回路の第3の実施形態に係わる昇圧回路（モニターモード）の構成を示した回路図である。

【図11】図8乃至図10の昇圧回路の制御信号及び出力波形例を示したタイムチャートである。

【図12】図8乃至図10で示した電位降下回路の他の実施例を示した回路図である。

【図13】図8乃至図10で示した電位降下回路の他の実施例を示した回路図である。

【図14】従来のDRAMの構成例を示した回路図である。

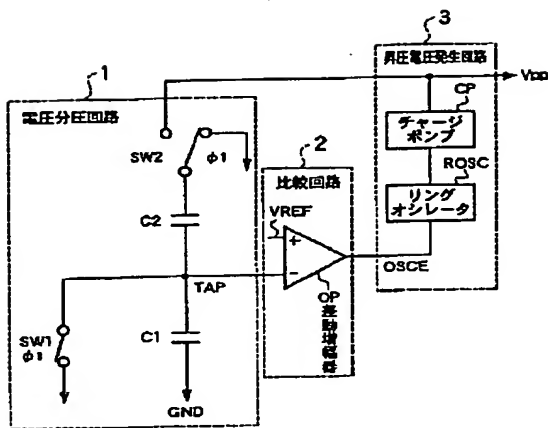
【図15】従来の電源電圧制限回路を降圧回路で実施した場合の構成例を示した回路図である。

【図16】従来の電源電圧制限回路を昇圧回路で実施した場合の構成例を示した回路図である。

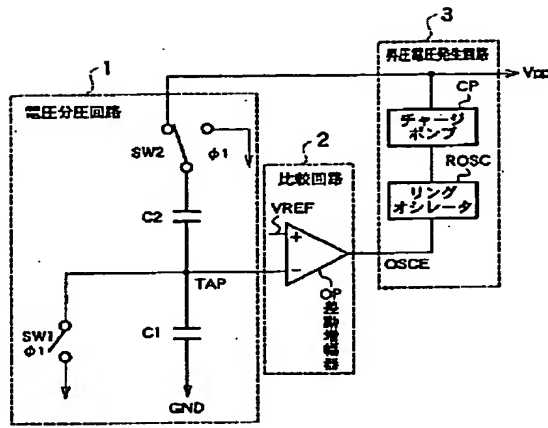
【符号の説明】

- 1 電圧分圧回路
- 2 比較回路
- 3 昇圧電圧発生回路
- 4 電位降下回路
- 5 MOSトランジスタ
- C1, C2 コンデンサ
- CP チャージポンプ
- OP, OPA, OPS 差動増幅器
- ROSC リングオシレータ
- SW1, SW2, SW3, SW4 スイッチ

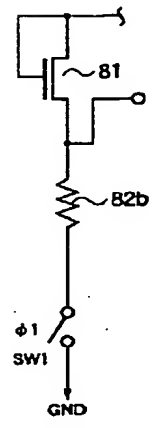
【図1】



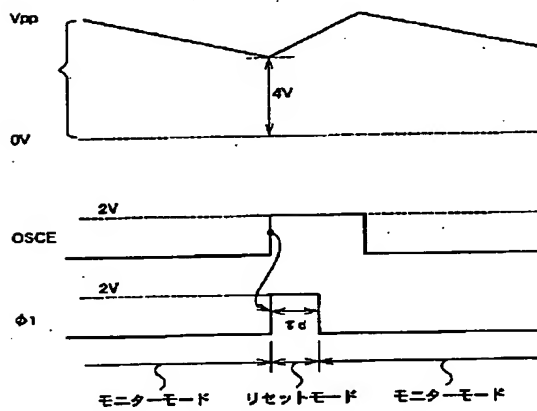
【図2】



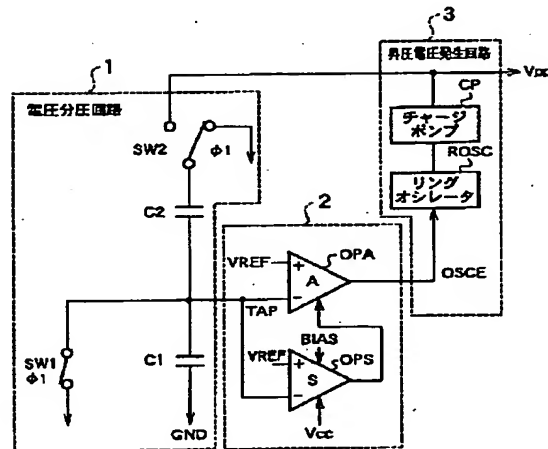
【図13】



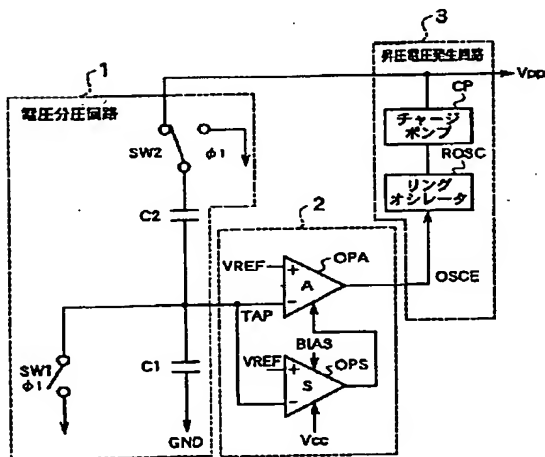
【図3】



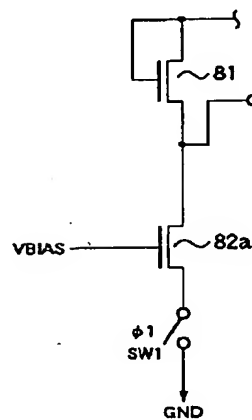
【図4】



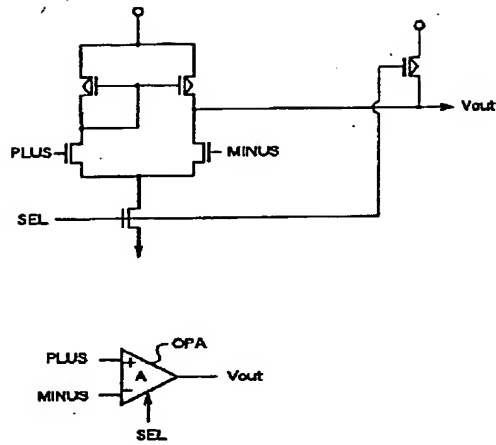
【図5】



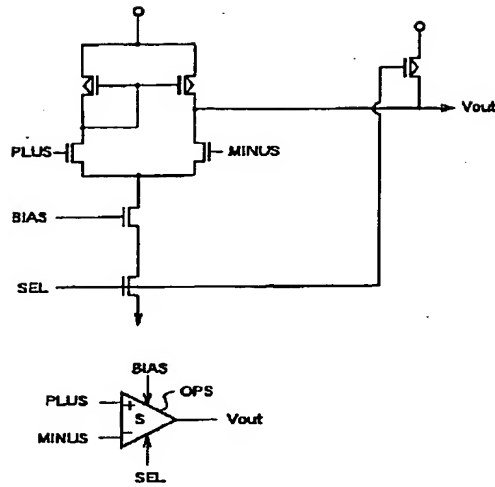
【図12】



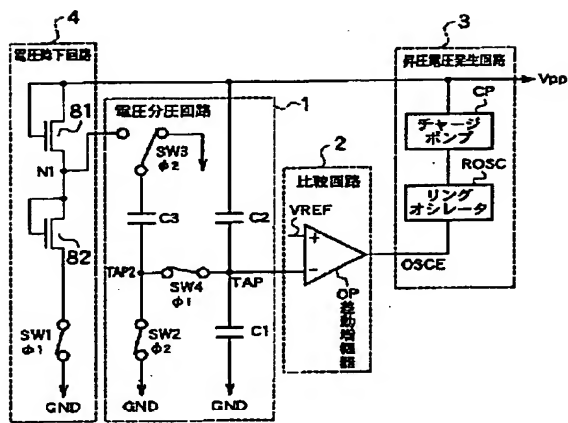
【図6】



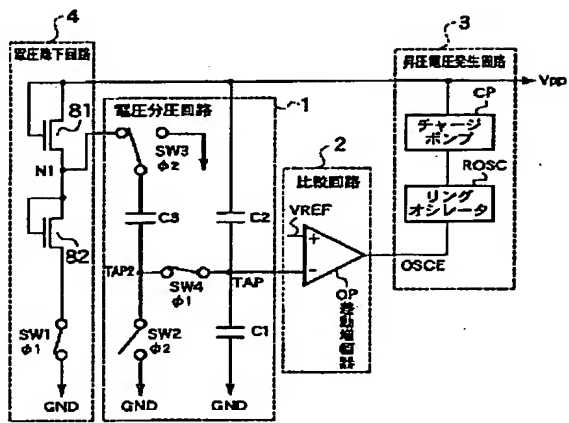
【図7】



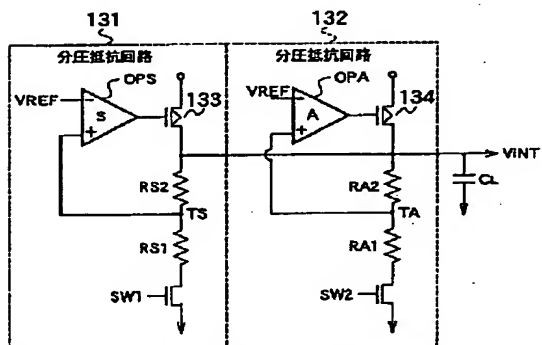
【図8】



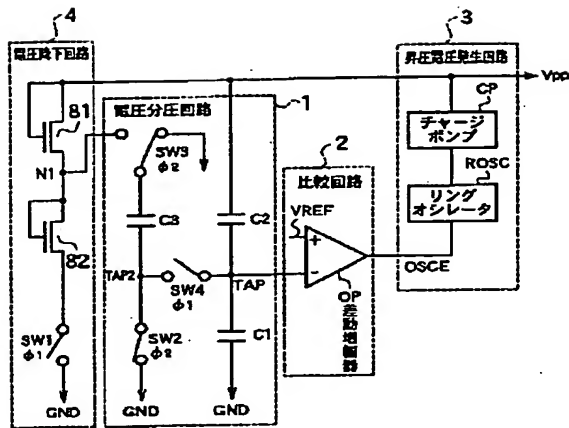
【図9】



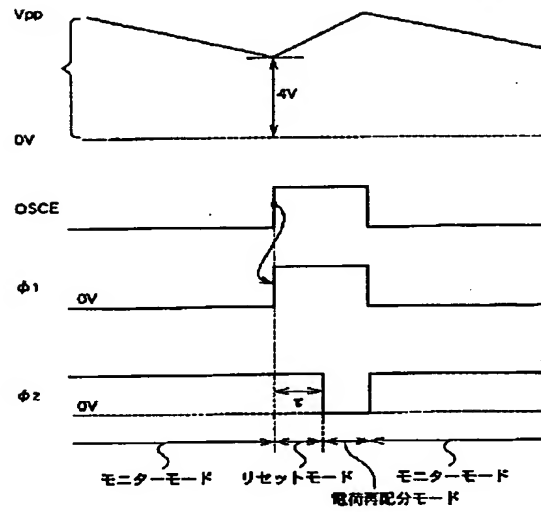
【図15】



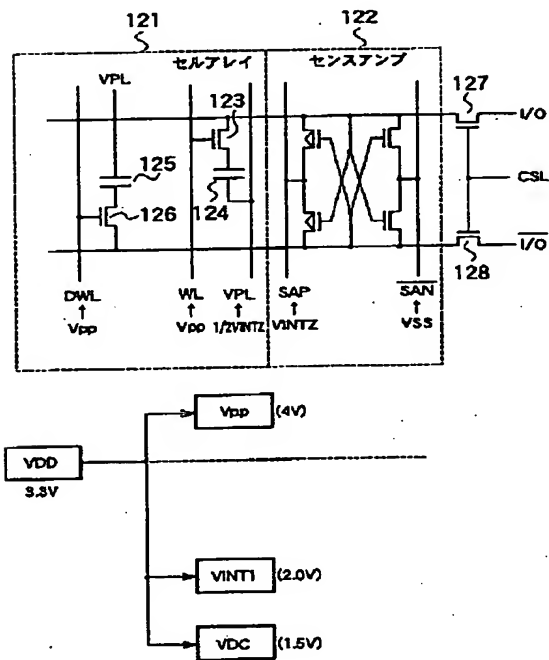
【図10】



【図11】



【図14】



【図16】

